

## JP11273253

Publication Title:

PULSE WIDTH CONTROL CIRCUIT AND DISK RECORDING CONTROL CIRCUIT

Abstract:

Abstract of JP11273253

**PROBLEM TO BE SOLVED:** To obtain a desired pulse waveform without using a high speed clock by selecting output signals of respective delay elements of a second delay circuit which inputs the output which is to be obtained by allowing a logical circuit to logically operate the input signal selected by a selection circuit and the delayed signal in which outputs of respective delay elements of a first delay circuit which makes the input signal its input is selected. **SOLUTION:** A delay circuit 10 inputs the output signal (EFMD)2 which is selected by a selection signal SW in a selecting circuit 23 and a selector 11 selects output signals of respective delay elements 40 in accordance with a select signal SEL1. An AND gate 12 logically operates the EFMD2 and the delayed signal selected by the selector 11 to output the result to a delay circuit 30. A selector 31 selects output signals of respective delay elements 40 in accordance with a select signal SEL2 and an output signal WDAT in which the phase of a signal in which the pulse width of the input signal EFM is controlled is controlled is outputted. Thus, delay quantities are set highly accurately and proper recordings made to correspond to kinds of media and rotational speeds of the media are made possible.

Data supplied from the esp@cenet database - Worldwide

-----  
Courtesy of <http://v3.espacenet.com>

*This Patent PDF Generated by Patent Fetcher(TM), a service of Stroke of Color, Inc.*

Patent provided by Sughrue Mion, PLLC - <http://www.sughrue.com>

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-273253

(43) 公開日 平成11年(1999)10月8日

(51) Int.Cl. <sup>6</sup>	識別記号	F I
G 1 1 B 20/10	3 1 1	G 1 1 B 20/10 3 1 1
7/00		7/00 K
H 0 3 K 5/14		H 0 3 K 5/14

審査請求 未請求 請求項の数 4 O L (全 9 頁)

(21) 出願番号 特願平10-78790

(22) 出願日 平成10年(1998)3月26日

(71) 出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目5番5号

(72) 発明者 林 浩二

大阪府守口市京阪本通2丁目5番5号 三  
洋電機株式会社内

(72) 発明者 秋山 徹

大阪府守口市京阪本通2丁目5番5号 三  
洋電機株式会社内

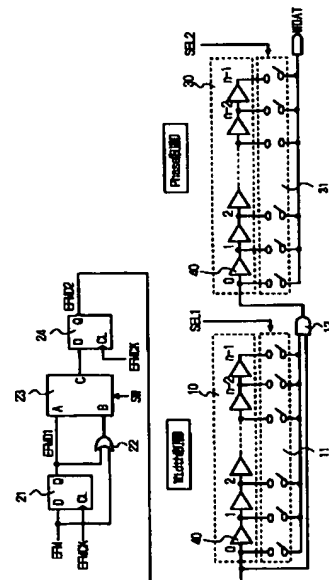
(74) 代理人 弁理士 安富 耕二 (外1名)

(54) 【発明の名称】 バルス幅制御回路及びディスク記録制御回路

(57) 【要約】

【課題】 高速クロックを用いることなく高精度なパルス幅制御を実現し、ディスクへの記録時には、メディア種別や回転速度に対応した適切な記録を実現する。

【解決手段】 第1及び第2の遅延回路10、30毎に、各遅延素子段の出力信号のいずれかを選択して出力する第1及び第2のセクタ11、31を接続し、遅延回路の入力信号とセクタ11の遅延信号とを入力するANDゲート12を設け、ANDゲートの出力を遅延回路30の入力信号とする。遅延回路10の前段には、EFM信号をEFMCKに従って1T遅延させるD-FF21と、その出力信号とEFM信号とのORゲート出力もしくは1T遅延EFM信号のいずれかを、パルス幅の短縮/伸張を示す情報に応じて選択する選択回路23を接続する。また、各遅延回路を、ディレイライン2とPLL回路3で構成し、ディスク記録装置に適用する際は、メディア種別及び回転速度に応じてセクタの選択を行う。



## 【特許請求の範囲】

【請求項1】 入力信号を基準クロックに従って所定期間遅延させるロジック回路と、該ロジック回路の出力信号と前記入力信号との論理演算出力信号を一端に入力し、他端に前記入力信号を入力し、パルス幅の短縮/伸張を示す情報に応じていずれか一方を選択する選択回路と、遅延素子を複数段接続して入力信号を遅延させる第1及び第2の遅延回路と、第1及び第2の遅延回路毎に各遅延素子段の出力信号のいずれかを選択して遅延信号として出力する第1及び第2のセレクタと、前記第1の遅延回路の入力信号と第1のセレクタの遅延信号との論理演算を行う論理回路とを有し、前記選択回路で選択された信号を前記第1の遅延回路の入力信号とし、且つ前記論理回路の出力信号を第2の遅延回路の入力信号とするか、もしくは前記選択回路で選択された信号を前記第2の遅延回路の入力信号とし、且つ前記第2のセレクタからの遅延信号を第1の遅延回路の入力信号とすることを特徴とするパルス幅制御回路。

【請求項2】 最終出力信号の立ち上がり遅延量と立ち下がり遅延量との差分もしくは該差分を前記所定期間から減算した遅延量に対応する第1のセレクト信号を前記第1のセレクタに供給し、前記立ち下がり遅延量に対応する第2のセレクト信号を前記第2のセレクタに供給することを特徴とする請求項1記載のパルス幅制御回路。

【請求項3】 前記遅延回路は、遅延素子を複数段リング状に接続して構成され、各段の遅延量が入力される制御電圧により制御されるVCOと、該VCOの出力信号もしくはその分周信号と基準信号とを入力し両信号の位相を比較する位相比較器と、該位相比較器で検出された位相差に応じた前記制御電圧を発生するローパスフィルタと、前記VCOの遅延素子と同一構成の遅延素子を複数段接続して構成され、入力信号を遅延させて出力すると共に各段の遅延量が前記制御電圧により制御されるディレイラインとを備えたことを特徴とする請求項1記載のパルス幅制御回路。

【請求項4】 請求項1乃至3のいずれかに記載のパルス幅制御回路で構成され、入力信号として記録すべき変調信号が供給され、メディアの種類及び/又は回転速度に応じたセレクト信号が前記第1及び第2のセレクタに入力され、前記変調信号に対応する記録マークをディスクに記録する記録装置へ出力信号を送出して、記録マークの記録タイミングを調整可能としたことを特徴とするディスク記録制御回路。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は、遅延素子を複数段接続した遅延回路を用いて構成したパルス幅制御回路、及びディスク記録装置においてこのパルス幅制御回路を利用して記録マークの記録タイミングを調整可能なディスク記録制御回路に関する。

## 【0002】

【従来の技術】 光ディスク装置や光磁気ディスク装置においては、データを再生するだけでなく書き込み可能なものがあり、このような装置では、データの変調信号に対応する記録マークをレーザー装置でディスク上に記録することによって、データの記録媒体への書き込みを行っている。

【0003】 たとえば、CD-Rでは、まず、書き込もうとするデータをEFMエンコーダでEFM信号に変調し、このEFM信号をレーザー装置に送出してEFM信号に対応する記録マークをディスクに記録するようにしている。ところが、データを記録するメディアの種類やディスクの回転速度によって記録状態が変化するため、単にEFM信号をレーザー装置に送出するだけでは、所望の記録マークを記録することはできない。そこで、EFM信号の立ち上がりや立ち下りのタイミングを遅延させることによって、所望の記録マークを記録する試みが従来より行われていた。そして、このようにEFM信号を遅延させるためには、一般に、クロックに同期して動作するDフリップフロップ等のロジック回路を複数段接続して使用していた。

## 【0004】

【発明が解決しようとする課題】 EFM信号は、EFMクロックと呼ばれる基準信号に同期した信号であって、このクロックの3～11周期分のパルス幅を有している。従って、上述の如くクロックに同期して動作するDフリップフロップで遅延回路を構成する場合には、Dフリップフロップに印加するクロックとして、EFMクロックより高速のクロックを用いなければならず、たとえば、遅延回路の分解能を16段階とすればEFMクロックの16倍の速さのクロックが必要となる。

【0005】 しかしながら、このEFMクロックは元々相当周波数の高いクロックであり、4倍速では「17.28MHz」、8倍速では「34.56MHz」である。従って、上記Dフリップフロップに印加するクロックとしては、4倍速では「276.48MHz」、8倍速では「552.96MHz」ときわめて高速となってしまう。このため、実際にはこのような高速のクロックを供給することは不可能であり、且つこのような高速クロックに同期して安定して動作するロジック回路を作ることともきわめて難しい。

【0006】 更に、ロジック回路は、電源変動や温度変化などの外的要因を受けやすいので、コントロールしたいパルス幅が非常に短い場合は、精度良くコントロールすることは困難である。

## 【0007】

【課題を解決するための手段】 本発明は、入力信号を基準クロックに従って所定期間遅延させるロジック回路と、該ロジック回路の出力信号と前記入力信号との論理演算出力信号を一端に入力し、他端に前記入力信号を入

力し、パルス幅の短縮／伸張を示す情報に応じていずれか一方を選択する選択回路と、遅延素子を複数段接続して入力信号を遅延させる第1及び第2の遅延回路と、第1及び第2の遅延回路毎に各遅延素子段の出力信号のいずれかを選択して遅延信号として出力する第1及び第2のセレクタと、前記第1の遅延回路の入力信号と第1のセレクタの遅延信号との論理演算を行う論理回路とを有し、前記選択回路で選択された信号を前記第1の遅延回路の入力信号とし、且つ前記論理回路の出力信号を第2の遅延回路の入力信号とするか、もしくは前記選択回路で選択された信号を前記第2の遅延回路の入力信号とし、且つ前記第2のセレクタからの遅延信号を第1の遅延回路の入力信号として、パルス幅制御回路を構成することを特徴とする。

【0008】また、本発明では、前記遅延回路は、遅延素子を複数段リング状に接続して構成され、各段の遅延量が入力される制御電圧により制御されるVCOと、該VCOの出力信号もしくはその分周信号と基準信号とを入力し両信号の位相を比較する位相比較器と、該位相比較器で検出された位相差に応じた前記制御電圧を発生するローパスフィルタと、前記VCOの遅延素子と同一構成の遅延素子を複数段接続して構成され、入力信号を遅延させて出力すると共に各段の遅延量が前記制御電圧により制御されるディレイラインとを備えたことを特徴とする。

【0009】更に、本発明では、ディスク記録制御回路が上記パルス幅制御回路で構成され、入力信号として記録すべき変調信号が供給され、メディアの種類及び／又は回転速度に応じたセレクト信号が前記第1及び第2のセレクタに入力され、前記変調信号に対応する記録マークをディスクに記録する記録装置へ出力信号を送出して、記録マークの記録タイミングを調整可能としたことを特徴とする。

【0010】

【発明の実施の形態】図1は、本発明によるパルス幅制御回路の実施形態を示すブロック図であり、入力信号のパルス幅を制御するため、パルス幅制御された信号の位相を制御するための2つの遅延回路10、30を用いている。各遅延回路10、30は、インバータよりなる遅延素子40を複数段直列に接続して構成され、各段の出力信号のいずれか一つをセレクト信号SEL1、SEL2に応じて選択するセレクタ11、31が、各遅延回路10、30に各々接続されている。更に、セレクタ11で選択された遅延信号と遅延回路10への入力信号を入力するANDゲート12が設けられ、ANDゲート12の出力信号が遅延回路30の入力信号として供給されている。

【0011】ここで、各遅延回路10、30は、遅延素子40が16段接続されて構成されており、1つの遅延素子の遅延量 $t$ は、基準クロックであるEFMCKの周期

Tの1/16に設定されている。また、遅延回路10の前段には、入力されるEFM信号をEFMCKに同期して1T期間遅延させるDフリップフロップ（以下D-FFという）21と、このD-FF21の出力信号EFMD1とEFM信号を入力するORゲート22と、ORゲート22の出力をB端子に入力しA端子に信号EFMD1を入力し、選択信号SWに応じてA、Bのいずれかの入力信号を選択する選択回路23と、選択回路23の出力をEFMCKに同期させ、その出力信号EFMD2を遅延回路10に送出するD-FF24が接続されている。

【0012】本実施形態は、入力されるEFM信号の立ち上がり立ち下りを異なる量遅延させることが可能な構成であり、立ち上がり遅延量 $Tdf$ が立ち下がり遅延量 $Tdb$ より大きいときは、最終的な出力パルス幅PDは短くなり、逆に立ち上がり遅延量 $Tdf$ が立ち下がり遅延量 $Tdb$ より小さいときは、最終的な出力パルス幅PDは長くなる。そこで、パルス幅を短縮するのか伸張するのかを示す信号を選択信号SWとし、この信号SWが短縮を示すときは選択回路23でA端子に入力された信号EFMD1を選択し、伸張を示すときはB端子に入力されたORゲート出力を選択するようにしている。

【0013】以下、図6を参照してパルス幅を伸張する場合の動作を、また図7を参照してパルス幅を短縮する場合の動作を説明する。まず、図6において、図6bに示すように、D-FF21にEFMCK（図6a）6周期分である6TのEFM信号が入力されたとして、D-FF21によりEFM信号は図6cに示すように1T期間遅延される。ORゲート22では、この遅延信号EFMD1と入力EFM信号の論理和がとられるので、その出力は図6dに示すように、入力EFM信号より1T期間だけパルス幅が伸張された信号となる。そこで、選択信号SWとしてパルス幅の伸張を示す「0」が入力されると、選択回路23はORゲート22からの1T伸張された出力信号を選択する。そして、この信号が次段のD-FF24でEFMCKと同期がとられて信号EFMD2（図6e）となり、遅延回路10に入力される。遅延回路10では各遅延素子が入力されたEFMD2信号を順次T/16ずつ遅延させていく。

【0014】ここで、立ち上がり遅延量 $Tdf$ と立ち下がり遅延量 $Tdb$ との差分（絶対値）を $Tdd$ とし、この $Tdd$ を1Tから減算した量を $Td$ とすれば、セレクタ11へのセレクト信号SEL1としては、この遅延量 $Td$ に対応する遅延段数 $n$ を指定する信号が入力される。よって、セレクタ11では立ち上がりが $Td$ 遅れた遅延信号EFMD3（図6f）が出力され、ANDゲート12に送出される。ANDゲート12の他方の入力端には入力信号EFMD2がそのまま印加されているので、ANDゲート12の出力信号は、図6gに示すように、信号EFMD2に比べてパルス幅が $Td$ だけ短くなった信号となる。このEFMD2信号のパルス幅は元々入力EFM信号のパルス幅より1

T伸張されているので、結局ANDゲート12の出力信号はEFM信号よりTddだけ伸張された所望のパルス幅PDとなる。

【0015】次に、ANDゲート出力は、次段の遅延回路30の入力信号となる。遅延回路30においても遅延回路10と同様、各遅延素子によりANDゲート12の出力信号が順次T/16ずつ遅延されてゆき、SEL2により指定された段数nの遅延信号がセクタ31で選択される。SEL2としては、立ち下がり遅延量Tdb即ち差分Tddと立ち上がり遅延量Tdfの加算量に対応する遅延段数nを指定する信号が入力されるので、図6gのANDゲート出力は、図6hに示すように、そのパルス幅PDは変化せず位相のみが加算量(Tdd+Tdf)だけシフトされる。その結果、最終出力信号WDATとして、EFMCKの立ち上がりタイミングt1からは、立ち上がりがTdf遅延され、立ち下がりがTdb遅延されたパルス幅PDの所望のパルスが得られることとなる。

【0016】今SEL1により指定された段数nが「10」ならば、パルス幅PDは、EFM信号パルス幅6Tより、 $(16-10) \cdot T/16 = 6T/16$ 伸張されたパルス幅となり、SEL2により指定された段数nが「10」であれば、立ち上がり遅延量Tdfは、 $Tdf = (10-6) \cdot T/16 = 4T/16$ に設定される。そして、立ち下がり遅延量Tdbは、SEL2により指定された段数nのものTdb=10T/16となる。

【0017】一方、パルス幅を短縮するときは、選択信号SWとして「1」が入力されるので、選択回路23では図7cに示すように、パルス幅が入力EFM信号と同一で1T遅延された信号EFMD1が選択される。この信号は更にD-FF24で1T遅延され図7dに示す信号EFMD2となって遅延回路10に入力される。この場合、SEL1としては、立ち上がり遅延量Tdfと立ち下がり遅延量Tdbとの差分Tddに対応する遅延段数nを指定する信号が入力される。よって、セクタ11では立ち上がりがTdd遅れた遅延信号EFMD3(図7e)が出力され、ANDゲート12に送出される。ANDゲート12の他方の入力端には入力信号EFMD2がそのまま印加されているので、ANDゲート12の出力信号は、図6fに示すように、信号EFMD2に比べてパルス幅がTddだけ短くなった信号となる。つまり、ANDゲート12の出力信号はEFM信号よりTddだけ短縮された所望のパルス幅PDとなる。

【0018】次に、ANDゲート出力は、次段の遅延回路30の入力信号となる。遅延回路30においても遅延回路10と同様、各遅延素子によりANDゲート12の出力信号が順次T/16ずつ遅延されてゆき、SEL2により指定された段数nの遅延信号がセクタ31で選択される。SEL2としては、立ち下がり遅延量Tdb即ち差分Tddと立ち上がり遅延量Tdfの加算量に対応する遅延段数nを指定する信号が入力されるので、図7fのA

NDゲート出力は、図7gに示すように、そのパルス幅PDは変化せず位相のみがTdbだけシフトされる。その結果、最終出力信号WDATとして、EFMCKの立ち上がりタイミングt1からは、立ち上がりがTdf=(Tdd+Tdb)遅延され、立ち下がりがTdb遅延されたパルス幅PDの所望のパルスが得られることとなる。

【0019】今SEL1により指定された段数nが「8」ならば、パルス幅PDは、EFM信号パルス幅6Tより、 $8T/16$ 短縮されたパルス幅となり、SEL2により指定された段数nが「4」であれば、立ち上がり遅延量Tdfは、 $Tdf = (8+4) \cdot T/16 = 12T/16$ に設定される。そして、立ち下がり遅延量Tdbは、SEL2により指定された段数nのものTdb=4T/16となる。

【0020】このように、立ち上がりと立ち下がりの遅延量Tdf、Tdbは、セレクト信号SEL1,2により設定することができる。尚、遅延回路30にEFMD2信号を入力し、セクタ31の遅延信号を遅延回路10に入力して、ANDゲート12の出力を最終的な出力信号WDATとしても、図1と全く同様の出力を得ることができる。また、遅延素子40としてインバータの代わりにコンパレータを用いても良い。

【0021】次に、以上説明したパルス幅制御回路をCD-R用のディスク記録制御回路に適用した例を、図8を参照して説明する。図8は、CD-R用のディスク記録装置全体の構成を示すブロック図であり、ディスク50に書き込むべきデータは、まずEFMエンコーダ51でEFM信号に変調され、図1に示したパルス幅制御回路52にEFMCKと共に供給される。ディスク記録制御回路54は、このパルス幅制御回路52とレジスタ53と演算回路500から成り、パルス幅制御回路52の出力信号がレーザーピックアップ等のレーザー装置55に供給され、ディスクにEFM信号に対応する記録マークが記録される。また、ディスク記録装置全体をコントロールするマイコン56には、使用するディスクのメディア種別及び回転速度を示す情報が入力されており、マイコン56に接続されたテーブル57には図9に示すように、メディア種別及び回転速度に各々対応して、立ち上がり遅延量Tdfと立ち下がり遅延量Tdbがあらかじめ記憶されている。尚、記憶されている遅延量は、単位遅延量T/16の何倍であるかを示す数値で記憶されている。

【0022】マイコンは、メディア種別及び回転速度が指定されると、テーブルから対応する立ち上がり及び立ち下がり遅延量Tdf、Tdbを読み出し、この数値をレジスタ53にセットする。演算回路500は、レジスタ53にセットされた遅延量Tdf、Tdbについてその差分(Tdf-Tdb)の演算を行い、Tdf<Tdbのとき、即ち図6に示すようにパルス幅を伸張するときは、選択信号SWとして「0」を出力し、差分Tddを1Tから減算した遅延量Tdに対応する遅延段数n

を指定するセレクト信号SEL1を、パルス幅制御回路52に出力する。一方、 $Tdf > Tdb$ のとき、即ち図7に示すようにパルス幅を短縮するときは、選択信号SWとして「1」を出力し、差分 $Tdd$ に対応する遅延段数 $n$ を指定するセレクト信号SEL1を、パルス幅制御回路52に出力する。また、セレクト信号SEL2としては、いずれの場合も立ち下がり遅延量 $Tdb$ に対応する遅延段数 $n$ を指定する信号をパルス幅制御回路52に出力する。

【0023】従って、パルス幅制御回路52では、上述したように入力されたEFM信号のパルス幅が、SEL1により指定された遅延量だけ遅延されることによって所望のパルス幅に制御され、SEL2により指定された遅延量だけ遅延させることによって、パルス幅が制御された信号を所望の位相に制御することができる。そして、この出力信号WDATがレーザー装置55に送出されるため、レーザー装置55では、EFM信号の記録タイミングがメディアの種類及び回転速度に応じて調整され、適切な記録マークが記録される。

【0024】ところで、図1に示した遅延回路10、30を構成する遅延素子40は、製造ばらつきにより遅延素子を構成するトランジスタの特性が均一にならないために、遅延量にばらつきが生じる。そこで、遅延量を高精度に設定したい場合は、遅延回路10、30として、図2に示す遅延回路1を用いればよい。図2は示す遅延回路1は、入力信号を遅延するためのディレイライン2と、このディレイライン2の遅延量を制御するためのPLL回路3から成る。PLL回路3は、入力される制御電圧 $Vt$ により出力信号周波数が変化するVCO4と、VCO4の出力信号を $1/N$ に分周するプログラマブルデバイダ5と、入力される基準信号RFCKを $1/M$ に分周するリファレンスデバイダ6と、両デバイダ5、6の出力信号の位相を比較する位相比較器7と、位相比較器7により検出された位相差に応じた制御電圧 $Vt$ をVCO3に供給するローパスフィルタ8とを備えており、両デバイダ5、6とも分周比が変更可能なデバイダである。また位相比較器7の出力段にはチャージポンプが設けられている。

【0025】このPLL回路3中のVCO4は、図2に示すように、遅延セル40を複数段直列に接続し、更に最終段の遅延セル41の出力を初段に負帰還するリング状の構成であって、最終段の出力をバッファ45を介してプログラマブルデバイダ5に送出している。また、各遅延セルは第1及び第2の制御端子を有し、第1の制御端子にバイアス回路46からの一定バイアス $Vb$ が供給され、第2の制御端子にローパスフィルタ8からの制御電圧 $Vt$ が供給されている。

【0026】一方、ディレイライン2は、VCO4を構成する遅延セルと同一構成の遅延セル40を、複数段直列に接続して構成され、VCO4とは異なり初段の遅延セルには外部から入力信号SINが印加されている。そし

て、セレクト20で各段の遅延セルからの出力のいずれか一つを選択し、遅延信号SOUTとして取り出すようにしている。このセレクト20は、図1におけるセレクト11、31に相当するセレクトである。尚、図2に示す回路は同一チップ内の近傍に構成されており、このため遅延セルの遅延特性は、VCO4とディレイラインとではほぼ同一となる。

【0027】ここで、図3を参照して、遅延セル40の具体構成について説明する。遅延セル40は、基本的には、PチャンネルMOSトランジスタとNチャンネルMOSトランジスタを縦続接続してなるインバータ101、102を2段直列に接続して構成されており、各インバータ101、102の後ろにバッファ103、104が接続されている。また、インバータ101、102の電源電位との間には電流制御用のPチャンネルMOSトランジスタ105、106が接続され、インバータ101、102の接地電位との間には電流制御用のNチャンネルMOSトランジスタ107、108が接続されている。この電流制御用のPチャンネルMOSトランジスタ105のゲートは第1の制御端子110に接続され、電流制御用のNチャンネルMOSトランジスタ107のゲートは第2の制御端子111に接続されている。尚、109は寄生容量を示す。

【0028】そして、本実施形態においては、第1の制御端子110にバイアス回路46からの一定バイアス $Vb$ が供給され、第2の制御端子111にローパスフィルタ8からの制御電圧 $Vt$ が供給されている。よって、制御電圧 $Vt$ が大きくなるとインバータ101、102に流れる電流が増加して入力信号INの遅延量 $dt$ は減少し、制御電圧 $Vt$ が小さくなるとインバータ101、102に流れる電流が減少して入力信号INの遅延量 $dt$ は増加する。このように、遅延セル40の遅延量 $dt$ は制御電圧 $Vt$ の大きさに応じて変化する。

【0029】ところで、VCO4の最終段は負帰還をかけるために、遅延セル40の前半部分のみ、即ちインバータ101、バッファ103、制御用トランジスタ105、107で構成されており、インバータ101の出力がVCO4の初段の遅延セル40に入力されている。以下、図2に示す実施形態の動作を説明する。

【0030】まず、VCO4の出力信号周波数 $f1$ はプログラマブルデバイダ5によって $1/N$ に分周され $f1/N$ になり、基準信号周波数 $f0$ はリファレンスデバイダ6により分周され $f0/M$ になる。これらの分周信号は位相比較器7でその位相が比較され、ローパスフィルタ8からは位相差に応じた制御電圧 $Vt$ がVCO4に供給される。これによって、両デバイダの出力信号の位相差をなくすようにPLL回路3が動作し、PLLがロックすると式(1)が成り立つ。

【0031】

【数1】

$$f_1/N = f_0/M \quad \dots\dots(1)$$

【0032】一方、VCO4では、上述したようにローパスフィルタ8からの制御電圧Vtにより各遅延セルの遅延量dtが決定され、初段の遅延セル40に入力された信号dt0は、図4に示すように各遅延セル40で順次dtづつ遅延されていく。そして、最終段の遅延セル41では信号が反転され、この反転信号が折り返し遅延dαの後に初段に帰還される。つまり、折り返し遅延dαがdtに比べて十分小さいとすれば、VCO4の周期Tの半周期T/2は、遅延量dtを遅延セル40の段数D分だけ加算した長さとなる。従って、遅延量dtは式(2)で表される。

【0033】

【数2】

$$T/2 = dt \cdot D \quad \dots\dots(2)$$

【0034】ここで、周期Tは1/f1であって、上述したようにPLL回路3がロックすると式(1)が成立するので、ロック状態では、遅延量dtは式(3)で表される。

【0035】

【数3】

$$dt = (M/N) \cdot (1/2D \cdot f_0) \quad \dots\dots(3)$$

【0036】つまり、VCOの遅延セル段数Dと分周比M、Nを決定すれば、遅延セル40の遅延量dtは、基準信号RFCKの周波数f0のみに依存する一定値となる。ところで、図2に示す回路では、上述したようにディレイライン2を構成する遅延セルはVCO4の遅延セルと全く同一の構成であり、しかもディレイライン2中の遅延セルに供給される制御電圧もVCO4の遅延セル40に供給される制御電圧Vtと全く同一である。このため、ディレイライン2中の遅延セルの遅延量は、VCO4の遅延セル40の遅延量dtと全く同一となり、PLLのロック時には基準信号周波数f0に依存した一定値となる。

【0037】ディレイライン2は、入力信号SINを遅延セル40で順次遅延して、セレクタ20により所望の段の遅延出力を選択して、遅延信号SOUTとして出力する構成であり、この各遅延セル段の遅延量dtがPLLロック時には一定値となるので、ディレイライン2においてセレクタ20から出力する遅延信号の遅延量も所望の一定値となる。つまり、このディレイライン2では、製造時の調整は不要となり、且つPLL回路3で保証される精度で遅延量を設定でき、このためpsecオーダーでの高精度の設定が可能となる。しかも、PLLでは電源変動や温度変動に対しても保証されるので、ディレイライン2の遅延量もこれら変動の影響を受けなくなる。

【0038】また、基準信号RFCKの周波数f0や分周比M、Nを変更するだけで、遅延量dtを用意に変更できるので、ディレイライン2の分解能の設定が容易となる。たとえば、VCO4の段数Dが「16段」である場

合、分周比M、Nを各々「2」とし、f0を「17.28MHz」とすれば、式(3)より遅延量dtは「1.81nsec」となる。そして、分周比M、Nを各々「4」に変更し、f0を「34.56MHz」に変更すれば、式(3)より遅延量dtは「0.90nsec」とpsecオーダーの分解能となる。

【0039】更に、図5のVCO特性に示すように、PLLがロックする周波数範囲は広く、この範囲内で遅延セルの遅延量dtを変更できるので、ディレイライン2の遅延量可変範囲を広帯域とすることができる。以上説明した実施形態は、遅延セル内の遅延素子をインバータで構成する例を示したが、インバータの代わりにコンパレータを用いる構成でも良い。また、遅延セル内の一方の電流制御用トランジスタ105、106には一定バイアスを印加し、他方の電流制御用トランジスタ107、108のみにローパスフィルタ8からの制御電圧Vtを供給するようにしたが、双方の電流制御用トランジスタに制御電圧Vtを供給するようにしてもよい。

【0040】

20 【発明の効果】本発明によれば、高速のクロックを用いることなく所望のパルス波形を得ることが可能となり、特に、PLL回路を用いた場合には遅延量を高精度で設定できるようになる。また、ディスク記録装置に適用すれば、メディア種別や回転速度に対応した適切な記録を実現できるようになる。

【図面の簡単な説明】

【図1】本発明によるパルス幅制御回路の実施形態を示すブロック図である。

30 【図2】遅延回路の他の実施形態を示すブロック図である。

【図3】実施形態における遅延セルの具体構成を示す回路図である。

【図4】実施形態におけるVCOの動作を説明するためのタイミングチャートである。

【図5】実施形態におけるVCO特性及び遅延特性を示す特性図である。

【図6】図1に示す実施形態においてパルス幅を伸張する場合の動作を説明するためのタイミングチャートである。

40 【図7】図1に示す実施形態においてパルス幅を縮小する場合の動作を説明するためのタイミングチャートである。

【図8】本発明によるディスク記録制御回路の実施形態を示すブロック図である。

【図9】実施形態におけるテーブルの記憶内容を示す説明図である。

【符号の説明】

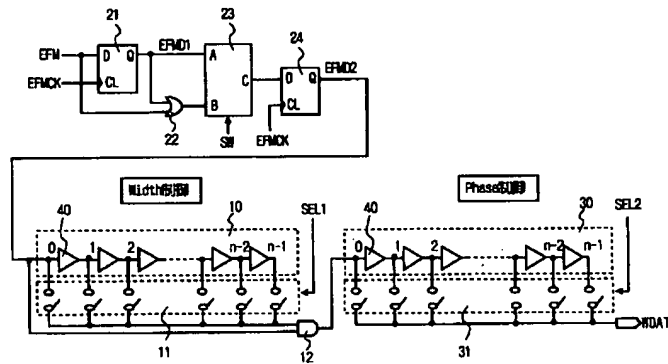
1、10、30 遅延回路

2 ディレイライン

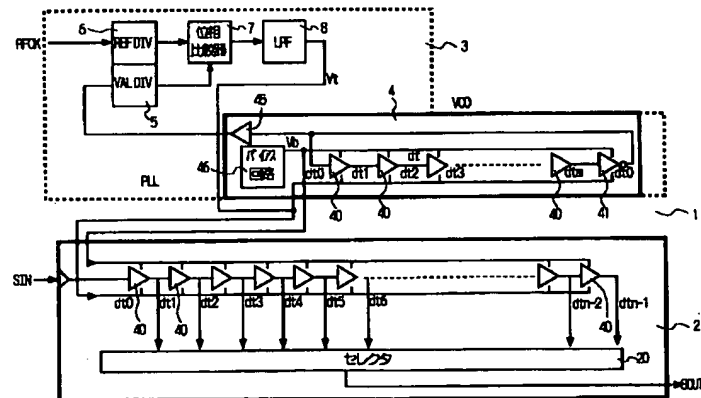
3 PLL回路

- |               |                             |
|---------------|-----------------------------|
| 4 VCO         | * 50 ディスク                   |
| 5 プログラマブルデバイダ | 51 EFMエンコーダ                 |
| 6 リファレンスデバイダ  | 52 パルス幅制御回路                 |
| 7 位相比較器       | 54 ディスク記録制御回路               |
| 8 ローパスフィルタ    | 55 レーザー装置                   |
| 12 ANDゲート     | 101、102 インバータ               |
| 20、11、31 セレクタ | 105、106、107、108 電流制御用トランジスタ |
| 21、24 D-FF    |                             |
| 22、32 ORゲート   | 110 第1制御端子                  |
| 23 選択回路       | 111 第2制御端子                  |
| 40 遅延セル       | * 500 演算回路                  |

【図1】

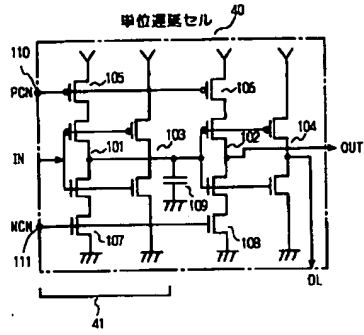


【図2】

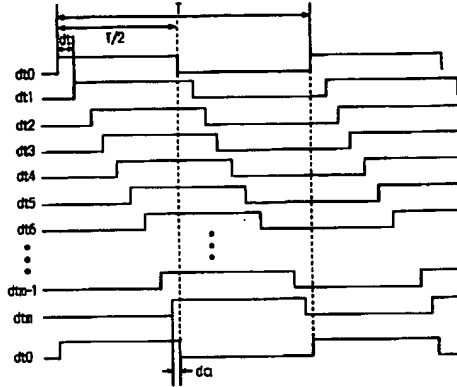




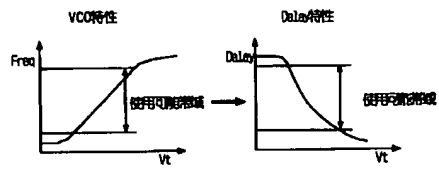
【図3】



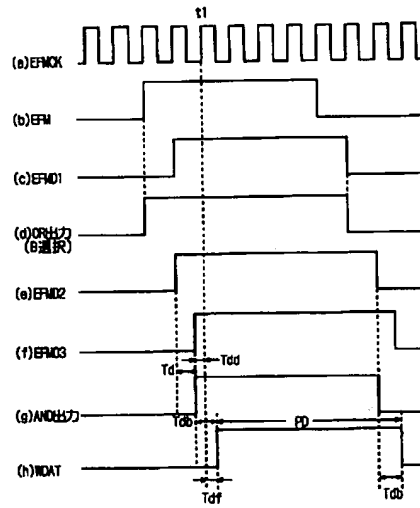
【図4】



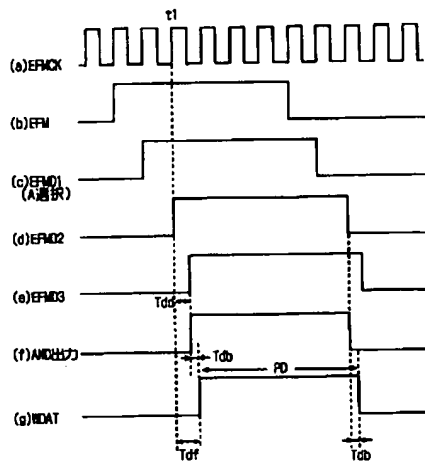
【図5】



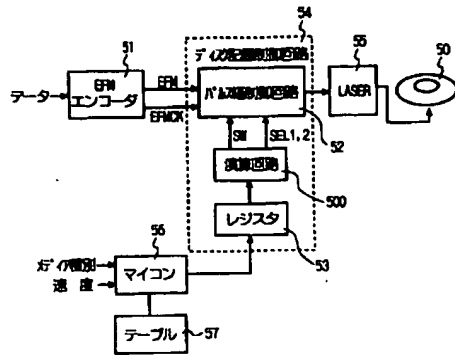
【図6】



【図7】



【図8】



【図9】

モード	速度	立ち上がりTsf(T/16)	立ち下がりTsf(T/16)
A	1倍	1	6
	2倍	1	6
	4倍	2	7
	8倍	2	7
B	1倍	2	7
	2倍	2	7
	4倍	3	8
	8倍	3	8
C	⋮	⋮	⋮
	⋮	⋮	⋮